

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-204194

(43)Date of publication of application : 09.08.1996

(51)Int.CI.

H01L 29/78
H01L 21/316

(21)Application number : 07-229650

(71)Applicant : SILICONIX INC

(22)Date of filing : 14.08.1995

(72)Inventor : HSHIEH FWU-IUAN
CHANG MIKE F
HO YUEH-SE
OWYANG KING

(30)Priority

Priority number : 94 290323 Priority date : 15.08.1994 Priority country : US

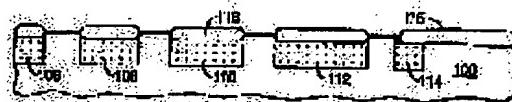
(54) TRENCHED DMOS TRANSISTOR WHICH IS MANUFACTURED BY A COMPARATIVELY SMALL NUMBER OF MASKING PROCESSES AND HAS A THICK OXIDE LAYER IN A TERMINAL REGION, AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a DMOS transistor which is manufactured by a comparatively small number of masking processes and has improved process controllability and yield voltage stability, and its manufacturing method.

BEST AVAILABLE COPY

SOLUTION: A trench type DMOS transistor is formed by using seven masking processes. Deep body regions 106, 108 of a P+ type are defined by one out of the processes. The active region of a transistor in which a mask is formed is formed by an LOCOS process. By the other masking process, an insulating oxide layer 118 of a terminal region 116 which layer is thicker than the active region of the transistor is defined. Thereby the contamination of a substrate in the manufacture process is reduced, and process controllability can be improved. Further by the thick field oxide layer 118 of the terminal region, the electric field distribution is improved, and the electron avalanche yield voltage can be more stably expected.



LEGAL STATUS

[Date of request for examination] 12.11.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

BEST AVAILABLE COPY

(1) 日本国特許庁 (JP)

(2) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-204194

(43) 公開日 平成8年(1996)8月9日

(61) Int.Cl.*

検索記号 実用新案登録号

P.I.

技術表示箇所

H01L 29/78
21/318H01L 29/78
21/34
29/78301 V
A
301 G

審査請求 未請求 請求項の範囲 FD (全 6 頁)

(21) 出願番号

特開平7-229050

(22) 出願日

平成7年(1995)8月14日

(31) 前先主登録号 08/290,823

(32) 前先日 1994年8月15日

(33) 前先主国(US)

(17) 出願人

シリコンイクス・インコーポレイテッド
SILICONIX INCORPORATED
TBDアメリカ合衆国カリフォルニア州95054
サンタクララ・ローレルウッドロード
2201(17) 発明者 ブライアン・シェイ
アメリカ合衆国カリフォルニア州95070
サントガ・セピライン 20788

(17) 代理人弁護士 大島 周 (1名)

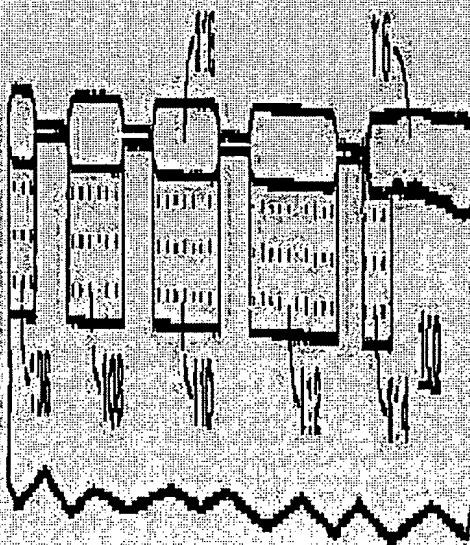
最前段に該ぐ

(54) 【発明の名称】 比較的少ない数のマスキング工程で製造され、未端部に厚い酸化層を有するトレンチ型DMO
トランジスタとその製造方法

(57) 【要約】 (修正有)

【課題】 比較的少ない数のマスキング工程で製造される、プロセス制御性及び伏電圧の安定性を改善したトレンチ型MOSトランジスタと、その製造方法を提供する。

【解決手段】 トレンチ型DMOSトランジスタを一つのマスキング工程を用いて製造するが、その工程の一つで、P+型の深い末端領域106,108が画定され、LOCOS工程によりマスクを形成されたトランジスタのアクティブラインが形成される。別のマスキング工程により、トランジスタのアクティブラインよりも厚い末端領域116の酸化層118が画定され、これによって製造工程での基盤の汚染を低減し、プロセス制御性を改善することが出来る。更に末端領域の厚いフィールド酸化層110によって電界分布が改善され、電子注入が陽伏電圧がより安定した予想可能なものとなる。



BEST AVAILABLE CO.

【特許請求の範囲】

【請求項1】 主要な表面領域を有し第1塗電型である半導体基板を用意する過程と、

前記主要な表面領域上にパターンをなすマスク層を形成する過程と、

前記マスク層によって露出された前記基板の一部に於いて第2塗電型の半導体領域にドーピングを施して、トランジスタの深い本体領域を形成する過程と、

前記マスク層によって露出された前記主要な表面領域的一部分であって、前記トランジスタの末端領域部分を含む該領域上に酸化層を成長させる過程と、

前記基板上に堆積の溝を形成する過程と、

前記溝の内部及び前記酸化層の少なくとも一部の上に電気伝導材料の層を形成する過程であって、前記溝の内部の前記電気伝導材料の層の部分がトランジスタのゲートとなる該過程と、

前記基板上に前記第2塗電型のドーピングを施された第1領域を、前記主要な平面のマスクされていない部分から前記基板に至るまで延在する形で形成する過程と、

前記基板上に前記第1塗電型のドーピングを施された第2領域を、前記主要な平面のマスクされていない部分から前記基板に至るまで延在する形で形成する過程であって、前記第1及び第2のドーピングを施された領域がそれぞれ前記トランジスタの本体部分及びソース領域となる該過程と、

前記主要な表面及び前記電気伝導材料層の上層をなすパターンを形成した絶縁体層を形成する過程と、

前記主要な表面の上層をなし、前記パターンを形成する絶縁層の上に設けられた、前記深い本体部分、本体及びソース領域、及び前記ゲート電極と接続するパターンをなす相互の接続層を形成する過程とを有することを特徴とする電界効果トランジスタの製造方法。

【請求項2】 前記電気伝導材料の層を形成する過程か、前記トランジスタの前記未端領域上の前記電気伝導材料層の部分を形成する過程と、

前記未端領域の電気伝導材料層の部分と、前記第2塗電型のドーピングを施された半導体領域の少なくとも1つとを電気的に接続をなす過程とを有することを特徴とする請求項1に記載の方法。

【請求項3】 主要な表面領域を有し第1塗電型である半導体基板を用意する過程と、

前記主要な表面領域上にパターンをなすマスク層を形成する過程と、

前記マスク層によって露出された前記基板の一部に於いて第2塗電型の半導体領域にドーピングを施して、トランジスタの深い本体領域を形成する過程と、

前記パターンをなすマスク層で露出された前記主要な表面部分の下層をなす前記基板の部分の上の、前記トランジスタの第2塗電型のドーピングを施された深い本体領域を形成する過程と、

前記主要な表面の前記パターンをなすマスク層で露出された部分であって、前記トランジスタの末端領域を含む部分上に局部的に酸化層を成長させる過程と、

前記パターンをなすマスク層を除去して、前記主要な表面部分の残りの部分を露出する過程と、

前記主要な表面領域の前記露出された残りの部分の下層をなす前記基板の部分に於いて、ドーピングをなされた本体領域、ドーピングを施されたソース領域、及び前記トランジスタのゲート領域を形成する過程とを有することを特徴とする電界効果トランジスタの製造方法。

【請求項4】 第1塗電型を有し、主要な表面領域を有する半導体基板と、

第2塗電型を有する所でられて設けられた複数のドーピングを施された半導体領域であって、前記主要な表面領域から前記基板の内部に至るまで延在し、前記トランジスタの深い本体領域である該半導体領域と、

前記主要な表面領域から前記基板の内部まで延在し、電気伝導材料によって満たされた複数の溝と、

少なくとも2つ以上の溝と隣接する前記主要な表面領域から前記基板の内部まで延在し、それぞれ前記トランジスタのソース領域及び本体領域をなす前記第1及び第2塗電型のドーピングを施された領域と、

前記トランジスタの未端領域を含む前記主要な表面領域の部分の上に形成されたフィールド酸化層とを有することを特徴とする電界効果トランジスタ。

【請求項5】 前記未端領域に於いて前記フィールド酸化層の上層をなし、前記第2の電気伝導率のタイプのドーピングを施された半導体領域の少なくとも1つに電気的接続をなされた電気伝導層をさらに有することを特徴とする請求項4に記載のトランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、例えば2つのマスクシング工程のような、比較的少ない工程で製造される、細長い島 (French) と浅い盆地領域を有し、厚い誘電体層を未端領域に形成したトレンチ型歪MOSトランジスタとその製造方法に関する。

【0002】

【従来の技術】 DMOSトランジスタはMOSFETの1つの形式として知られ、トランジスタ領域の形成に拡張が用いられ、典型的な応用分野にパワートランジスタとしての使用が上げられる。このようなデバイスは、自動車の電気系統、電磁、電源制御装置といった幅広い応用範囲を有する。

【0003】 何年にも亘って、パワーMOSFET装置の製造のためにさまざまな次異なる工程が用いられてきたが、深い盆地工程は一般的に使用されるものである。盆地に構造有するトランジスタがよく知られているが、この溝は深い酸化層に形成されたもので、そこに電気伝導性ポリシリコンを満たすことによってトランジスタゲ

BEST AVAILABLE COPY

一ト根造体を形成する。

[図4] 従来技術に於いては、トレンジ型DMOSトランジスタはその製造工程において、さまざまなトランジスタ領域、即ちアクティブラインジスタ領域が形成されたタフ、トランジスタの本体部分、トランジスタのソース領域、それぞれが分離改修領域となる本体接合領域、フィールドフレート及びフィールドリングのような未端部造形などを画定するために、比較的多くの(例えば日々の)マスキング工程を必要とするという欠点を有する。追加的なマスキング工程によって、トランジスタの駆動層及びポリシリコン部分が形成される。各追加的なマスキング工程ではマスクの整合をとる必要があるが、これは歩留まりを低下させる想定エラーが発生する可能性があるということである。更に、温度変化のサイクルを含む数多くの工程によって注入されたイオンの一部が必要以上に拡散してしまう傾向があり、これによっていろいろな改修領域の傾向の広がり及び/或しくは深さが変えられてしまうことになる。

【0005】 逆って、比較的ないマスキング工程からなるトランジスタ製造工程が必要とされている。

「0006」また、本発明に於いて示すべき、1994年5月31日に付与されたSze, Hon, Kwan他を発明者とする「Trenched DMOS Transistor Fabrication Using \times Masks」という題名の米国特許第5,316,959号におけるトランジスタの製造工程によれば、そのトランジスタの構造が、そのアクティブ（ゲート）領域に於ける酸化（誘電体）層の厚みと未端部分の厚みとが同じものとなる。この発明のトランジスタに於いても、ハフマンヘーション（不活性）層及び浮遊ゲートからの充電効果によって降伏電圧の不安定性が生ずるという欠点が、いくらかみられる。

【0007】

【発明が解決しようとする課題】従って、本発明の目的は、比較的小ない数のマスキング工程で製造される、プロセス制御性及び耐候電圧の安定性を改善したトランジスタヒ、その製造方法を提供することである。

【0008】

【課題を解決するための手段】本発明に各々、いくつも例示するが、トランジスタ型 CMOS ドーピング構造は、比較的浅いトランジスタ型ドーピング構造を有するようなその実施例の 1 つに於いては、比較的細長く浅い溝を有する、厚いフィールド酸化層を成長させる前に、トランジスタの末端領域の表面的主要な表面を露出させる形の追加的なマスクシング工程を実施することによって、フィールド酸化誘電体層が末端領域に形成されるが、これはトランジスタのアグリゲーション部分に於けるゲート酸化層よりも比較的厚い物である。末端領域に厚いフィールド酸化層を設けられることによって、電界分布が改善され、電子なたれ陥伏は末端領域よりもセル(アクティブ)領域に於いて発生しやすくなるので、陥伏電圧の挙動はより安定し、予想しやすい物となる。

る。更にこの厚い塗装層によって、プロセス制御性も改善される。また、末端領域の厚い塗装層によって、下層をなす基板が、上層からのドーバント若しくはイオンにより汚染されるのも防止することができ、また、末端領域に於ける漏れ電流の問題も低減することができる。

【0009】実施例の1つに於いては、末端領域に於ける厚いフィールド酸化層に加えて、フィールドプレート (field plate) も設けられるが、それはトランジスタアクティブ領域のノース領域への金属配線によって、ガードリング (guard ring) との電気的接続をなされてゐる。

100101

【発明の実施の形態】本発明の理解のため、以下の米国特許及び米国特許出願を参照されたい。第1に参照すべきは、「Hamza Yilmaz」による「Low-On-Resistance PolyMOS Technology」という表題の米国特許第5,304,831号であって、これは5つのマスキング工程を用いたDMOSトランジスタの製造方法に関するものである。第2に参照すべきは、「Izak Ben-Yuval」による「Field Effect Transistor Having Edge Termination Utilizing Trench Technology」という表題の1993年7月23日に出願された米国特許出願第07/918,996号である。

【図9(1)】以下、本発明に基づく2つのマスキング工程を有する製造工程について説明する。但し、以下の説明で示すされるべき図面に示された2つのマスキング工程は、図面に示されたものに限られるものではなく、本発明に基づく他のさまざまなマスキング工程からなる製造工程が実現可能であることは理解されよう。

[00-12] 図1に於いて、本発明に亘るくN-チャネル工程は、従来と同じN+トーピングをなされたシリコン基板(図示せず)上に形成された。例えばD₁ 2.0~2.10μmの抵抗率を有するN-トーピングをなされたエピタキシャル層100を使用しており、この層100は例えばD₁ 0.01~0.010μmの抵抗率を有し、S=15μmの厚みを持つ物でも良い。ここで、基板の厚みは約5.0μmである。二酸化シリコンの浅い層101とはエピタキシャル層100の主なる表面に於いて3.00~5.00Åの厚みに堆積させられ、その上に10.0~20.0Åの厚みを有する塗装シリコンのマスク層104が形成される。マスク層104は従来のようにバターンに形成されエッチングされる。その後、窒化ケイ素プロセスを用いることによって、若しくは3.0~6.0KeVのエネルギーで2×10¹³~1×10¹⁶/cm²トースの剂量をマスク層104を通して注入することによって埋井が付与せられ、P⁺型の深い本体導電層105、106を形成するが、これは約2~3μmの黒さを有し、主要な傾斜に於ける角度が1×10¹⁶~2×10¹⁸/cm³であって、P⁺型フィールドリング(未焼結焼付)110、112、114にいたり、

BEST AVAILABLE COPY

である。

【0013】次に図3に於いて、マスク層103によ
る、末端領域116でパターンをなす追加的なマスクが
形成され、そこでは薄いゲート酸化層102が比較的露
出された形となっている。この追加的なマスキング工程
は、前記の米国特許第5,316,959号に於いて開
示された方法を改善するものである。

【0014】図3に示す5,000~8,000Åの厚みを
有するシリコーンの局部酸化層（LOCOS層）118
が、空化マスク層103を略左してアクティブ・トランジ
スタセル及び装置の末端部分を割定した後、薄いフィー
ルド酸化層に成長せしめるべく設けられる。（図1から図
1-1に於いて装置の末端領域とは図の右側の領域を指
し、トランジスタの中心的なアクティブ・セル部分とは図
の左側部分を指す。また、工程は概略図によって示され
ており、図面は一定の尺度には従ってない。）

【0015】図3に於いて示すように、薄いアーチルド
酸化層118は末端領域116上に延在している。

【0016】次に図4に於いて、LEPO（低温酸化）第
2マスク層（図示せず）は従来のようにパターンをなす
形で設けられ、薄120、122、124、126はそ
れぞれ深さ1.5~3.5μm、幅1~2μmのサイズに、
非等方反応性イオンによるドライエッチングによって形
成される。薄120、122、124、126はゲート電極層と
して設けられ、薄124、126は、フィールドドリッギ
ングを施す構造体から分離する役割を果たす。薄の里
及び角部分を等方性のプラスチックによる「円孔（round ho
le）」エッティングによって滑らかにし、かつ格子となる
酸化層を成長させてこのはその酸化層を防ぐした後、ゲ
ート酸化層130は、従来のように薄120~126の側壁部に於いて100~150Åの厚みに成長せら
れる。

【0017】次に図5に於いて、少なくとも各溝の大さ
さと同じ厚み及び幅を有するポリシリコン層132を設
けることによって各溝をフレームにする。この比較的厚
いポリシリコン層132は部分的に（マスクなし）ド
ライエッティングされ、0.5μmの厚みにされる。オ
ートレジストマスク（図示せず）により主導な表面の領域
を保護することによって、希望の表面のポリシリコン層
及び酸化層は化学的ウエットエッティングによって除去さ
れる。残ったポリシリコン132は次にドーピングをな
されて、導電率が2Ω/□程度より大きいものにされる。
次にポリシリコン132によるマスク層の形成と、第2
ポリシリコンの「デフレッカブル（defeatable）」エ
ッティングが行われ、次の工程のための窓を開いた図5の
ような構造が形成される。LOCOS酸化工程を用いて
酸化工程に於ける高さを低くすることによって、従来技
術のポリリストリンガー（poly stringer）の問題は起こ
らなくなる。

【0018】図6に示すように、被覆銀素のP-イオン

を本体へ約60KeVのエネルギーで $2 \times 10^{13} \sim 5 \times$
 $10^{13}/cm^2$ ドース注入し、並設させて、表面速度が
最終的に内 $2 \times 10^{17}/cm^3$ となるようにすることに
よって、本体領域134、136、138が形成され
る。

【0019】次に被覆N+拡散ソースを60~120K
eVのエネルギーで、 $1 \times 10^{15} \sim 1 \times 10^{16}/cm^2$
ドース注入し、並設させて、最終的な表面速度を $5 \times 10^{18}/cm^3$ として、図7のようにN+型ソース領域1
30、132を形成する。N+型ソース領域130、132の深さは約0.5μmである。

【0020】そして、図8に示すように、並光研磨盤ガ
ラス（BPSG）146の層を、従来のように構造全体
の上に内1.3~1.5μmの厚みで設ける。次に、図9の
ようにBPSG層146は、パターンを付けてマス
クされて、トランジスタ構造体に電極接觸開口部15
0、152、154、156が設けられる。また、BPS
G層146の末端領域に設けられた開口部158はこ
の工程に於いて形成される。そしてBPSG層146
は、従来のようにその角の部分を滑らかにするべくア
ロー（arrow）される。

【0021】次に、図10のように、金属層160（例
えばアルミニウム層）はアルミニウム-1%シリコ
ン）が、スパッタリング（spattering）の後、従来のパ
ターンをなすマスク層を用いたエッティングのような手段
を用いることによって、構造体全体の上に形成される。

【0022】次に、図11のように、PSGまたはフラ
スマ化層のような不活性化層162がマスク層によ
って形成され、ゲート及びソース領域の接続をなす結合
ハット開口部（図示せず）がその層を貫通する形で設け
られる。

【0023】前記の米国特許第5,316,959号に
開示された構造とは対照的で、ここでは、薄いフィー
ルド酸化層118が、図1-1の右側の末端領域の端部に至
るまで延在し、上記のような判断をもたらしている。ま
た、ここでは戸ドーピングを成された領域1-4が上
層をなす金属接合部160にによって接続されている。
最終的な末端領域の構造は、接合部160によってポ
リシリコンフレート152bとの電気的接続をなされ、
トランジスタソース領域との接続もなされたP+ガード
リング111-4となる。

【0024】ポリシリコンフレート152bによ
りて、末端領域に於けるP+／N接合部の近傍に於
ける電界分布を良い形のものとすることによって、末端
領域の降伏電圧が改善される。

【0025】構造するように、図1から図10に示す本
発明の製造工程の実施例の1つに於いては、7つのマス
キング工程が利用される。この7つのマスキング工程と
は以下のようなものである。

【0026】(1) 図1のよう層102に設けられた

開口部を通してP+領域がドーピングされる。本体部分の深いP+マスキング工程。

【0027】(2)マスク層104に追加的な開口部が設けられて、図2のように末端領域116上にLOCO-S酸化層118が成長させられる。末端領域でのパターンをなす形のマスキング工程。

【0028】(3)フォトレジスト層によってパターンを形成し、図4のように溝120～125を画定する溝のマスキング工程。

【0029】(4)フォトレジスト層を防護のために利用して、図5に示すようにポリシリコシ層132の部分を画定するポリシリコンマスキング工程。

【0030】(5)BPSG層146の一部を除去して、図9のようにP+型領域との接続部分及び溝124に沿うドーピングされたポリシリコンとの接合部分を形成する。接合開口部マスキング工程。

【0031】(6)金属層150の一部を除去して、金属ソース電極150a、金属ゲート突起部分150b、及びガードリング接合部150cを図10のように説明する金属マスキング工程。

【0032】(7)不活性化層152の一部を除去して、ゲート結合パッド及びソース結合パッドを露出する従来のようなハンドマスキング工程。

【0033】上記の工程は、図示したようにN+チャネルチャネルDMOSトランジスタ構造の製造方法であることは理解されよう。従々な半導体領域のドーピングの型を反対にすることによって、P+チャネルチャネルDMOSトランジスタ構造も形成することが出来る。

【0034】図11の構造を参照すると、フィールドリング112、114は鉛錠溝126によって隔てられ、フィールドリングが互いに近接し且つ隣り合ったときに記述され、チップの表面領域が保存されることになる。溝126はドーピングされたポリシリコンによって溝たさる。溝124もポリシリコンによって溝たされ、ゲート突起電極に電気的に接続されており、ゲート突起電極は(図10のフレームの外側部分)において溝120、122を溝たすドーピングされたポリシリコンに接続されている。ドレイン電極は従来の上に毛並の表面(図示せず)上に形成される。

【0035】溝120のすぐ右隣にある領域はアクティ

ブ(ソースもしくは本体)領域を持たず、末端部分に隣接したダミーセルとして説明されているが、このダミーセルは実施例によれば無くてもよい。また、上記の工程は、上記とは異なる、末端領域を有するトランジスタに適用することも出来る。

【0036】本発明の、上記の、或いは図面に示した実施例は、これに限られるものでなく、明細書の内容及び特許請求の範囲を逸脱することなく様々な改変をなしえることは當業者には容易に理解されよう。

【0037】

【発明の効果】従って、本発明に従えば、比較的少ない数のマスキング工程で製造される、プロセス制御性及び降伏電圧の安定性を改善したトランジスタと、その製造方法を提供することができる。

【図面の簡単な説明】

【図1】～

【図1】～本発明に差し引くトランジスタを形成する各工程シーケンスの断面図である。

【符号の説明】

100 エピタキシャル層

102 ゲート酸化層

104 マスク層

106 108 本体領域

110 112 114 フィールドリング

116 末端領域

118 LOCO-S層(フィールド酸化層)

120 122 124 126 溝

130 ゲート氧化層

132 ポリシリコン層

132a ポリシリコンフィールドブレード

134 136 138 本体領域

140 142 N+型ソース領域

146 BPSG(紫外線接着ガラス)層

150 開口部

150a 金属ソース電極

150b 金属ゲート突起部分

150c ガードリング接合部

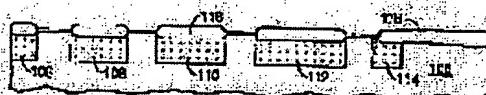
152 不活性化層

【図1】



BEST AVAILABLE COPY

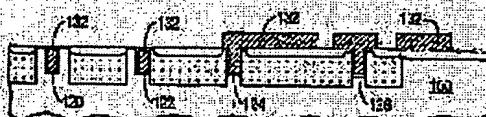
[図3]



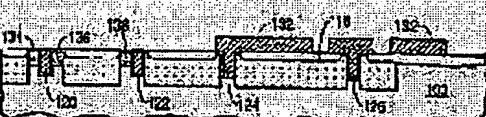
[図4]



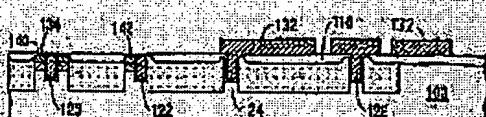
[図5]



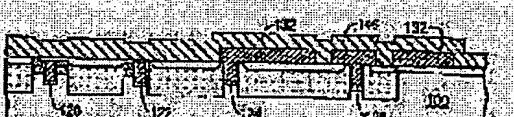
[図6]



[図7]



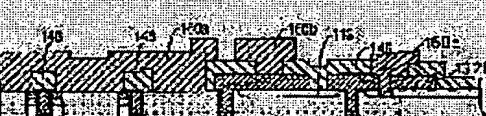
[図8]



[図9]



[図10]



[図11]



フロントページの継ぎ

(72)発明者 マイク・エフ・チャング
アメリカ合衆国カリフォルニア州95014
グーペルティーノ・サウスブレイニーアベ
ニュー 10343

(72)発明者 ユエーリー・ホー
アメリカ合衆国カリフォルニア州94066
サンヘイル・アイリスアベニュー 735

(72)発明者 オウヤンク・キシング
アメリカ合衆国カリフォルニア州94026
アダートン・エンシーナアベニュー 68